



Requested Patent: JP2001339312A
Title: VARIABLE LENGTH DECODING CIRCUIT ;
Abstracted Patent: JP2001339312 ;
Publication Date: 2001-12-07 ;
Inventor(s): TOYOKURA MAKI ;
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD ;
Application Number: JP20010085942 20010323 ;
Priority Number(s): ;
IPC Classification: H03M7/40; G06F5/00 ;
Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a variable length decoding circuit that reduces the circuit scale and its layout area so as to decrease delay in a decoded output. **SOLUTION:** The variable length decoding circuit sequentially decodes a bit stream consisting of consecutive variable length code words and provides the output, and is provided with an interface section that obtains accurate values of the code lengths of the decoded variable length code words and extracts and outputs consecutive data in N-bit length depending on the accumulated value from consecutive data in 2N-bit length (N is the longest code length of the variable length code) in the bit stream and with a decoding section that receives the output of the interface section, decodes it by using a lookup table for a code word included in the output of the interface section received before the output of the interface section, outputs the decoded result and outputs the code length of the decoded code word to the interface section. Since the interface section uses the decoding section to extract required data from the data in 2N-bits, the circuit scale can be reduced.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-339312
(P2001-339312A)

(43) 公開日 平成13年12月7日(2001.12.7)

(51) Int.Cl.
H 03 M 7/40
G 06 F 5/00

識別記号

F I
H 0 3 M 7/40
G 0 6 F 5/00

テクニカル(参考)

A

審査請求 未請求 請求項の数12 OL (全 23 頁)

(21)出願番号 特願2001-85942(P2001-85942)

(22)出願日 平成13年3月23日(2001.3.23)

(31)優先権主張番号 特願2000-84343(P2000-84343)

(32)優先日 平成12年3月24日(2000.3.24)

(33)優先権主張国 日本(JP)

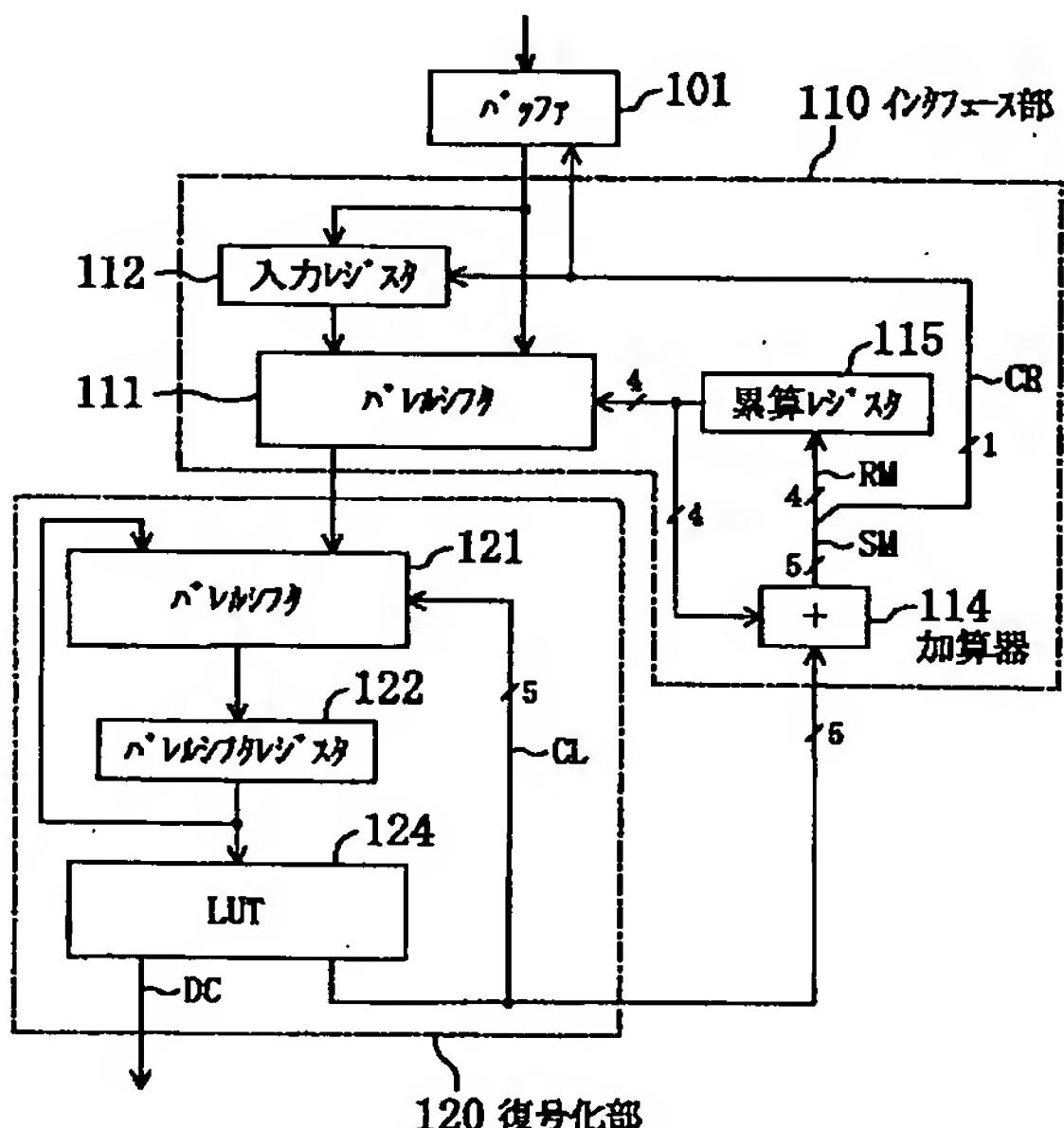
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 豊巌 真木
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 100077931
弁理士 前田 弘 (外7名)

(54) 【発明の名称】 可変長復号化回路

(57) 【要約】

【課題】 可変長復号化回路の回路規模及びレイアウト面積を削減し、復号化出力の遅延を少なくする。

【解決手段】 可変長符号の符号語が連続するビットストリームを順次復号化して出力する可変長復号化回路であって、復号化した可変長符号の符号語の符号長の累積値を求め、ビットストリームの連続する長さ $2N$ ビット（ N は可変長符号の最長符号長）のデータから、累積値に応じて連続する長さ N ビットのデータを取り出して出力するインターフェース部と、インターフェース部の出力を入力とし、これとこれよりも前に入力された前記インターフェース部の出力とに含まれる符号語に対してルックアップテーブルを用いて復号化を行い、復号結果を出力し、復号化された符号語の符号長をインターフェース部に出力する復号化部とを備える。インターフェース部は、長さ $2N$ ビットのデータから復号化部で必要なデータを取り出すので、回路規模を小さくすることができる。



【特許請求の範囲】

【請求項1】 可変長符号の符号語が連続するビットストリームを順次復号化して出力する可変長復号化回路であって、

復号化した符号語の符号長の累積値を求め、ビットストリームの連続する長さ $2N$ 又は $2N-1$ ビット(N は可変長符号の最長符号長)のデータから、前記累積値に応じて連続する長さ N ビットのデータを取り出して出力するインタフェース部と、

前記インタフェース部の出力を入力とし、これとこれよりも前に入力された前記インタフェース部の出力とに含まれる符号語に対してロックアップテーブルを用いて復号化を行い、復号結果を出力するとともに、復号化された符号語の符号長を前記インタフェース部に出力する復号化部とを備えた可変長復号化回路。

【請求項2】 請求項1に記載の可変長復号化回路において、

前記インタフェース部は、

前記累積値に応じて得られた剩余を格納し、出力する累算レジスタと、

前記復号化部が出力する符号長と前記累算レジスタが出力する剩余とを加算して、前記累積値に対応した加算結果を求め、当該加算結果を N で割った商及び余りをそれぞれ桁上げ信号及び新たな剩余として出力する加算器と、

前記桁上げ信号の値が1である場合に、ビットストリームの連続する長さ N 又は $N-1$ ビットのデータを格納し、出力する入力レジスタと、

前記入力レジスタの出力と、これに続くビットストリームの連続する長さ N ビットのデータとを、各ビットの順がビットストリームにおける順となるように連結し、前記累算レジスタが出力する剩余をシフト入力の値として用い、連結して得られたデータのうち、このシフト入力の値に応じたビットから連続する長さ N ビットのデータを取り出して前記復号化部に出力するバーレルシフタとを備えたことを特徴とする可変長復号化回路。

【請求項3】 請求項2に記載の可変長復号化回路において、

前記バーレルシフタは、

入力されたデータの先頭のビットから数えて、($M+2$)番目(M は前記シフト入力の値)のビットから連続する長さ N ビットのデータを出力することを特徴とする可変長復号化回路。

【請求項4】 請求項1に記載の可変長復号化回路において、

前記復号化部は、

バーレルシフタと、バーレルシフタレジスタと、ロックアップテーブルとを備え、

前記バーレルシフタは、

前記バーレルシフタレジスタが出力するデータと、前記イ

ンタフェース部が出力するデータとを、各ビットの順がビットストリームにおける順となるように連結し、前記ロックアップテーブルが出力する符号長をシフト入力の値として用い、連結して得られたデータのうち、このシフト入力の値に応じたビットから連続する長さ N ビットのデータを取り出して出力するものあり、

前記バーレルシフタレジスタは、

前記バーレルシフタの出力を格納し、出力するものあり、

前記ロックアップテーブルは、

前記バーレルシフタレジスタの出力に含まれる符号語に対応した復号結果を出力するとともに、当該符号語の符号長を出力するものであることを特徴とする可変長復号化回路。

【請求項5】 請求項4に記載の可変長復号化回路において、

前記バーレルシフタは、

入力されたデータの先頭のビットから数えて、($L+1$)番目(L は前記シフト入力の値)のビットから連続する長さ N ビットのデータを出力することを特徴とする可変長復号化回路。

【請求項6】 請求項4に記載の可変長復号化回路において、

前記復号化部は、

前記符号長から1を減じて出力する符号長変換回路を更に備え、

前記バーレルシフタは、

前記符号長の代わりに前記符号長変換回路の出力を前記シフト入力の値として用い、

入力されたデータの先頭のビットから数えて、($L+2$)番目のビットから連続する長さ N ビットのデータを出力することを特徴とする可変長復号化回路。

【請求項7】 請求項1に記載の可変長復号化回路において、

前記復号化部は、

バーレルシフタと、第1及び第2のバーレルシフタレジスタと、ロックアップテーブルと、シフト量レジスタとを備え、

前記バーレルシフタは、

前記第1及び第2のバーレルシフタレジスタが出力するデータを、各ビットの順がビットストリームにおける順となるように連結し、前記シフト量レジスタの出力に応じた値をシフト入力の値として用い、連結して得られたデータのうち、このシフト入力の値に応じたビットから連続する長さ N ビットのデータを取り出して出力するものあり、

前記第1のバーレルシフタレジスタは、

前記インタフェース部の出力を格納し、出力するものあり、

前記第2のバーレルシフタレジスタは、

前記パレルシフタの出力を格納し、出力するものであ
り、

前記ロックアップテーブルは、

前記パレルシフタの出力に含まれる符号語に対応した復
号結果を出力するとともに、当該符号語の符号長を出力
するものであり、

前記シフト量レジスタは、

前記符号長に応じた値を格納し、出力するものであるこ
とを特徴とする可変長復号化回路。

【請求項8】 請求項7に記載の可変長復号化回路にお
いて、

前記シフト量レジスタは、

前記符号長を格納し、出力するものであり、

前記パレルシフタは、

前記シフト量レジスタの出力をシフト入力の値として用
い、

入力されたデータの先頭のビットから数えて、(L+
1)番目(Lは前記シフト入力の値)のビットから連続
する長さNビットのデータを出力することを特徴とする
可変長復号化回路。

【請求項9】 請求項7に記載の可変長復号化回路にお
いて、

前記復号化部は、

前記符号長から1を減じて出力する符号長交換回路を更
に備え、

前記パレルシフタは、

前記符号長交換回路及び前記シフト量レジスタを介して
入力された、1を減じられた符号長を前記シフト入力の
値として用い、

入力されたデータの先頭のビットから数えて、(L+
2)番目のビットから連続する長さNビットのデータを
出力することを特徴とする可変長復号化回路。

【請求項10】 請求項1に記載の可変長復号化回路にお
いて、

前記インタフェース部は、

前記累積値に応じて得られた剰余を格納し、出力する累
算レジスタと、

前記復号化部が出力する符号長と前記累算レジスタが出
力する剰余とを加算して、前記累積値に対応した加算結
果を求め、当該加算結果をNで割った商及び余りをそれ
ぞれ桁上げ信号及び新たな剰余として出力する加算器
と、

前記桁上げ信号が1である場合に、ビットストリームの
連続する長さNビットのデータを格納し、出力する入力
レジスタと、

前記入力レジスタの出力と、これに続くビットストリーム
の連続する長さNビットのデータとを、各ビットの順
がビットストリームにおける順となるように連結し、前
記累算レジスタが出力する剰余をシフト入力の値として
用い、連結して得られたデータのうち、このシフト入力

の値に応じたビットから連続する長さNビットのデータ
を取り出して前記復号化部に出力するパレルシフタとを
備えたものであり、

前記復号化部は、

パレルシフタと、パレルシフタレジスタと、ロックアッ
プテーブルとを備えたものであり、

前記復号化部のパレルシフタは、

前記パレルシフタレジスタが出力するデータと、前記イ
ンタフェース部が出力するデータとを、各ビットの順が
ビットストリームにおける順となるように連結し、前記
ロックアップテーブルが出力する符号長をシフト入力の
値として用い、連結して得られたデータのうち、このシ
フト入力の値に応じたビットから連続する長さNビット
のデータを取り出して出力するものであり、

前記パレルシフタレジスタは、

前記復号化部のパレルシフタの出力を格納し、出力する
ものであり、

前記ロックアップテーブルは、

前記パレルシフタレジスタの出力に含まれる符号語に対
応した復号結果を出力するとともに、当該符号語の符号
長を出力するものであることを特徴とする可変長復号化
回路。

【請求項11】 請求項1に記載の可変長復号化回路にお
いて、

前記インタフェース部は、

前記累積値に応じて得られた剰余を格納し、出力する累
算レジスタと、

前記復号化部が出力する符号長と前記累算レジスタが出
力する剰余とを加算して、前記累積値に対応した加算結
果を求め、当該加算結果をNで割った商及び余りをそれ
ぞれ桁上げ信号及び新たな剰余として出力する加算器
と、

前記桁上げ信号が1である場合に、ビットストリームの
連続する長さNビットのデータを格納し、出力する入力
レジスタと、

前記入力レジスタの出力と、これに続くビットストリーム
の連続する長さNビットのデータとを、各ビットの順
がビットストリームにおける順となるように連結し、前
記累算レジスタが出力する剰余をシフト入力の値として
用い、連結して得られたデータのうち、このシフト入力
の値に応じたビットから連続する長さNビットのデータ
を取り出して前記復号化部に出力するパレルシフタとを
備えたものであり、

前記復号化部は、

パレルシフタと、第1及び第2のパレルシフタレジスタ
と、ロックアップテーブルと、シフト量レジスタとを備
えたものであり、

前記復号化部のパレルシフタは、

前記第1及び第2のパレルシフタレジスタが出力するデ
ータを、各ビットの順がビットストリームにおける順と

なるように連結し、前記シフト量レジスタの出力に応じた値をシフト入力の値として用い、連結して得られたデータのうち、このシフト入力の値に応じたビットから連続する長さNビットのデータを取り出して出力するものであり、

前記第1のバーレルシフタレジスタは、

前記インターフェース部が出力するデータを格納し、出力するものであり、

前記第2のバーレルシフタレジスタは、

前記復号化部のバーレルシフタの出力を格納し、出力するものであり、

前記ルックアップテーブルは、

前記復号化部のバーレルシフタの出力に含まれる符号語に対応した復号結果を出力するとともに、当該符号語の符号長を出力するものであり、

前記シフト量レジスタは、

前記符号長に応じた値を格納し、出力するものであることを特徴とする可変長復号化回路。

【請求項12】 請求項10又は11に記載の可変長復号化回路において、

前記加算器は、

前記復号化部が出力する符号長と前記累算レジスタが出力する剩余とを加算した値に1を加えた値を前記加算結果として求めるものであり、

前記ルックアップテーブルは、

前記符号長として、当該符号語の符号長から1を減じた値を出力することを特徴とする可変長復号化回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、可変長符号の復号化回路に関する。

【0002】

【従来の技術】動画像を通信又は記録する際に、通信手段の帯域幅や記録媒体の容量を削減するために、画像を圧縮符号化することが行われている。国際標準の動画像の符号化方式として、H. 261、MPEG (moving picture experts group) 1、MPEG 2などがある。

【0003】これらの符号化方式は、動きベクトル検出及び動き補償、D C T (discrete cosine transform)、量子化、ジグザグスキャン、可変長符号化などを組合せた方法である。可変長符号化は、量子化された固定長の符号語を、統計的性質に従った可変長の符号語のビットストリームに変換して平均的な符号量を減らす符号化方法である。このようなビットストリームを復号化し、動画像再生を行うには、可変長の符号語を元の固定長のデータに変換する可変長復号化を行うことが必要となる。可変長復号化では、符号語の長さが一定ではなく、ビットストリームにおける各可変長符号語の先頭位置が特定できないため、ビットストリーム内の順番に従

って符号語を復号化する必要がある。

【0004】この可変長復号化を高速に実現するためには、種々の可変長復号化回路が考えられている。従来の可変長復号化回路の例として、米国特許5, 245, 338号公報に開示されたものがある。図11は、このような従来の可変長復号化回路の例のブロック図である。図11の可変長復号化回路は、最長符号長が16ビットの可変長符号を復号化するものである。

【0005】バッファ901は、入力されたビットストリームを格納し、読み出し信号RDが“1”的場合には、その次のサイクルにおいて、格納しているビットストリームを16ビット単位で第1のバーレルシフタ911及び第1の入力レジスタ912に出力する。バッファ901は、その出力を1サイクルの間保持する。

【0006】第1の入力レジスタ912及び第2の入力レジスタ913は16ビット構成であり、更新信号が“1”的場合に次のサイクルで入力データを取り込む。

【0007】第1のバーレルシフタ911は、加算器914の加算結果SM(値: 0~31)をシフト量(値: 1~32)として用い、第2の入力レジスタ913の出力を上位16ビットとして、第1の入力レジスタ912の出力を中位16ビットとして、バッファ901の出力を下位16ビットとして連結した48ビットのデータのうち、最上位から(シフト量+1)ビット目~(シフト量+16)ビット目の16ビットのデータを出力し、これを第1のバーレルシフタレジスタ922に書き込む。ここで、連結して得られた48ビットのデータの最上位ビットを1ビット目としている。

【0008】第2のバーレルシフタ921は、シフト量レジスタ925の出力をシフト量(値: 1~16)として用い、第2のバーレルシフタレジスタ923の出力を上位16ビットとして、第1のバーレルシフタレジスタ922の出力を下位16ビットとして連結した32ビットのデータのうち、最上位から(シフト量+1)ビット目~(シフト量+16)ビット目の16ビットのデータを出力し、これを第2のバーレルシフタレジスタ923に書き込む。

【0009】ルックアップテーブル924は、第2のバーレルシフタ921の出力に対して可変長復号化を行い、復号結果DCと符号長CL(値: 1~16)とを出力し、この符号長をシフト量レジスタ925に書き込む。ルックアップテーブル924は、可変長の各符号語に対応して、その復号結果と符号長とを出力することができるよう構成されたテーブルである。ルックアップテーブル924には、符号語の先頭のビットが最上位のビットとして入力されるようになっている。

【0010】加算器914は、シフト量レジスタ925の出力(値: 1~16)と累算レジスタ915の出力(値: 0~15)とを加算し、加算結果SMを出力する。加算器914は、加算結果SMが16~31の場合

1となる桁上げ信号CRをホールドレジスタ916に書き込み、加算結果SMの16を法とする剰余RM（値：0～15）を累算レジスタ915に書き込む。すなわち、5ビットのシフト量レジスタ925の出力と4ビットの累算レジスタ915の出力との加算によって得られた5ビットの加算結果SMのうち、最上位ビットが桁上げ信号CRとなり、残り4ビットが加算結果SMの16を法とする剰余RMとなる。桁上げ信号CRを第1の入力レジスタ912、第2の入力レジスタ913の更新信号とし、ホールドレジスタ916の出力である読み出し信号RDをバッファ901の読み出し信号とする。

【0011】図12は、図11の可変長復号化回路におけるサイクル毎のデータフローの例を示す説明図である。例えば“a1-a8”は、a1, a2, a3, a4, a5, a6, a7, a8と連なる8ビットデータを表すものとする。図12において、例えば第0サイクルのバッファ出力が“a1-a8 b1-b6 c1-c2”という表示は、a1-a8, b1-b6, c1-c2が順に連なる16ビットのデータを表す。

【0012】図12において、第0～第2サイクルの更新信号、読み出し信号、第1のバーレルシフタのシフト量、及び第2のバーレルシフタのシフト量は、初期状態としてのデータを各レジスタに設定するために、それぞれ、“1”, “1”, “16”, 及び“16”を用いる。第3サイクル以降は、処理の結果得られた桁上げ信号、読み出し信号、累算レジスタ、シフト量レジスタの値を用いて処理を繰り返す。

【0013】このように、復号結果の出力が毎サイクル得られる。復号化開始時において、入力バッファ901が最初にデータを出力する第0サイクルから2サイクル後の第2サイクルで、最初の復号化出力が得られる。

【0014】

【発明が解決しようとする課題】ところが、図11のような従来の可変長復号化回路では、入力レジスタを2個必要とし、第1のバーレルシフタとして48ビット入力で16ビット出力の回路が必要である。このため、回路規模が大きくなり、LSIなどで実現する場合に回路が広いレイアウト面積を必要してしまう。

【0015】また、図11のような従来の可変長復号化回路では、復号化開始時には、入力バッファのデータが出力されてから2サイクル後に初めて復号化出力が得られる。ビットストリームには、可変長符号のストリームが複数含まれる場合においては、それぞれの可変長符号のストリームの間に、ヘッダ等の可変長符号以外の情報が含まれている。このような場合には、これらの可変長符号のストリームが連続しておらず、可変長復号化を連続して行うことができない。このため、可変長復号化を連続して行えない場合には、それぞれの可変長符号ストリームの復号化開始時に2サイクルの遅延が生じ、ビットストリーム全体の復号化に多くのサイクル数を必要と

してしまう。

【0016】本発明はこのような課題を解決するためのものであり、可変長復号化回路において、回路規模及びレイアウト面積を削減し、復号化出力の遅延を少なくすることを目的とする。

【0017】

【課題を解決するための手段】前記課題を解決するため、請求項1の発明が講じた手段は、可変長符号の符号語が連続するビットストリームを順次復号化して出力する可変長復号化回路であって、復号化した可変長符号の符号語の符号長の累積値を求め、ビットストリームの連続する長さ2N又は2N-1ビット（Nは可変長符号の最長符号長）のデータから、前記累積値に応じて連続する長さNビットのデータを取り出して出力するインターフェース部と、前記インターフェース部の出力を入力とし、これとこれよりも前に入力された前記インターフェース部の出力とに含まれる符号語に対してルックアップテーブルを用いて復号化を行い、復号結果を出力するとともに、復号化された符号語の符号長を前記インターフェース部に出力する復号化部とを備えたものである。

【0018】請求項1の発明によると、ビットストリームの連続する長さ2N又は2N-1ビットのデータから、復号化部で必要な長さNビットのデータを取り出すので、回路の規模を小さくすることができる。

【0019】また、請求項2の発明では、請求項1に記載の可変長復号化回路において、前記インターフェース部は、前記累積値に応じて得られた剰余を格納し、出力する累算レジスタと、前記復号化部が出力する符号長と前記累算レジスタが出力する剰余とを加算して、前記累積値に対応した加算結果を求め、当該加算結果をNで割った商及び余りをそれぞれ桁上げ信号及び新たな剰余として出力する加算器と、前記桁上げ信号の値が1である場合に、ビットストリームの連続する長さN又はN-1ビットのデータを格納し、出力する入力レジスタと、前記入力レジスタの出力と、これに続くビットストリームの連続する長さNビットのデータとを、各ビットの順がビットストリームにおける順となるように連結し、前記累算レジスタが出力する剰余をシフト入力の値として用い、連結して得られたデータのうち、このシフト入力の値に応じたビットから連続する長さNビットのデータを取り出して前記復号化部に出力するバーレルシフタとを備えたものである。

【0020】請求項2の発明によると、桁上げ信号が入力レジスタの格納データの更新に用いられ、また、加算結果の剰余を累算レジスタに書き込むので、その1サイクル後に剰余がバーレルシフタのシフト量として用いられる。このため、符号長の累積値が最長符号長を超え、最長符号長を超えるシフト量のシフトを行なう必要がある場合に、バーレルシフタで行なうシフトは小さいシフト量で済む。入力レジスタを更新することにより最長符号長に等

しいシフト量のシフトを行い、次のサイクルで残りのシフト量のシフトをパレルシフタにより実現することになるからである。したがって、パレルシフタのビット幅を小さくすることができる。また、入力レジスタが1個で済むので、初期設定のためのサイクル数が1サイクルで済む。

【0021】また、請求項3の発明では、請求項2に記載の可変長復号化回路において、前記パレルシフタは、入力されたデータの先頭のビットから数えて、(M+2)番目(Mは前記シフト入力の値)のビットから連続する長さNビットのデータを出力することを特徴とする。

【0022】請求項3の発明によると、インタフェース部は、シフト入力の値に応じて、復号化部が必要とするNビットのデータを選択して出力することができる。

【0023】また、請求項4の発明では、請求項1に記載の可変長復号化回路において、前記復号化部は、パレルシフタと、パレルシフタレジスタと、ロックアップテーブルとを備え、前記パレルシフタは、前記パレルシフタレジスタが出力するデータと、前記インタフェース部が出力するデータとを、各ビットの順がビットストリームにおける順となるように連結し、前記ロックアップテーブルが出力する符号長をシフト入力の値として用い、連結して得られたデータのうち、このシフト入力の値に応じたビットから連続する長さNビットのデータを取り出して出力するものであり、前記パレルシフタレジスタは、前記パレルシフタの出力を格納し、出力するものであり、前記ロックアップテーブルは、前記パレルシフタレジスタの出力に含まれる符号語に対応した復号結果を出力するとともに、当該符号語の符号長を出力するものである。

【0024】請求項4の発明によると、インタフェース部の出力を復号化部のパレルシフタに直結し、このパレルシフタの出力をパレルシフタレジスタに書き込むので、パレルシフタレジスタの数を削減することができる。

【0025】また、請求項5の発明では、請求項4に記載の可変長復号化回路において、前記パレルシフタは、入力されたデータの先頭のビットから数えて、(L+1)番目(Lは前記シフト入力の値)のビットから連続する長さNビットのデータを出力することを特徴とする。

【0026】請求項5の発明によると、次に復号化すべき符号語を先頭とするNビットのデータをロックアップテーブルの入力とすることができます。

【0027】また、請求項6の発明では、請求項4に記載の可変長復号化回路において、前記復号化部は、前記符号長から1を減じて出力する符号長変換回路を更に備え、前記パレルシフタは、前記符号長変換回路及び前記シフト量レジスタを介して入力された、1を減じられた符号長を前記シフト入力の値として用い、入力されたデータの先頭のビットから数えて、(L+2)番目のビットから連続する長さNビットのデータを出力することを

入力されたデータの先頭のビットから数えて、(L+2)番目のビットから連続する長さNビットのデータを出力することを特徴とする。

【0028】請求項6の発明によると、パレルシフタへのシフト入力の値が小さくなる。特に、最長符号長が2のべきである場合には、シフト入力の値を表すためのビット数が小さくなり、パレルシフタへのシフト入力のビット幅を小さくすることができる。

【0029】また、請求項7の発明では、請求項1に記載の可変長復号化回路において、前記復号化部は、パレルシフタと、第1及び第2のパレルシフタレジスタと、ロックアップテーブルと、シフト量レジスタとを備え、前記パレルシフタは、前記第1及び第2のパレルシフタレジスタが出力するデータを、各ビットの順がビットストリームにおける順となるように連結し、前記シフト量レジスタの出力に応じた値をシフト入力の値として用い、連結して得られたデータのうち、このシフト入力の値に応じたビットから連続する長さNビットのデータを取り出して出力するものであり、前記第1のパレルシフタレジスタは、前記インタフェース部の出力を格納し、出力するものであり、前記第2のパレルシフタレジスタは、前記パレルシフタの出力を格納し、出力するものであり、前記ロックアップテーブルは、前記パレルシフタの出力に含まれる符号語に対応した復号結果を出力するとともに、当該符号語の符号長を出力するものであり、前記シフト量レジスタは、前記符号長に応じた値を格納し、出力するものである。

【0030】請求項7の発明によると、インタフェース部が出力したデータから、復号化すべき可変長符号の符号語を含むNビットのデータを取り出し、順次復号化することができる。

【0031】また、請求項8の発明では、請求項7に記載の可変長復号化回路において、前記シフト量レジスタは、前記符号長を格納し、出力するものであり、前記パレルシフタは、前記シフト量レジスタの出力をシフト入力の値として用い、入力されたデータの先頭のビットから数えて、(L+1)番目(Lは前記シフト入力の値)のビットから連続する長さNビットのデータを出力することを特徴とする。

【0032】請求項8の発明によると、次に復号化すべき符号語を先頭とするNビットのデータをロックアップテーブルの入力とすることができます。

【0033】また、請求項9の発明では、請求項7に記載の可変長復号化回路において、前記復号化部は、前記符号長から1を減じて出力する符号長変換回路を更に備え、前記パレルシフタは、前記符号長変換回路及び前記シフト量レジスタを介して入力された、1を減じられた符号長を前記シフト入力の値として用い、入力されたデータの先頭のビットから数えて、(L+2)番目のビットから連続する長さNビットのデータを出力することを

特徴とする。

【0034】請求項9の発明によると、バーレルシフタへのシフト入力の値が小さくなる。特に、最長符号長が2のべきである場合には、シフト入力の値を表すためのビット数が小さくなり、バーレルシフタへのシフト入力のビット幅を小さくすることができる。

【0035】また、請求項10の発明は、請求項1に記載の可変長復号化回路において、請求項2に記載のインターフェース部と、請求項4に記載の復号化部とを備えたものである。

【0036】請求項10の発明によると、インターフェース部のバーレルシフタの出力を復号化部のバーレルシフタに直結し、復号化部のバーレルシフタの出力をバーレルシフタレジスタに書き込むので、バーレルシフタレジスタの数を削減することができる。

【0037】また、請求項11の発明は、請求項1に記載の可変長復号化回路において、請求項2に記載のインターフェース部と、請求項7に記載の復号化部とを備えたものである。

【0038】請求項11の発明によると、インターフェース部のバーレルシフタが出力したデータから、復号化すべき可変長符号の符号語を含むNビットのデータを取り出し、順次復号化することができる。

【0039】また、請求項12の発明は、請求項10又は11に記載の可変長復号化回路において、前記加算器は、前記復号化部が出力する符号長と前記累算レジスタが出力する剩余とを加算した値に1を加えた値を前記加算結果として求めるものであり、前記ルックアップテーブルは、前記符号長として、当該符号語の符号長から1を減じた値を出力するものである。

【0040】請求項12の発明によると、バーレルシフタへのシフト入力の値が小さくなる。特に、最長符号長が2のべきである場合には、シフト入力の値を表すためのビット数が小さくなり、バーレルシフタへのシフト入力のビット幅を小さくすることができる。また、符号長を変換する回路を備える必要がない。

【0041】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0042】(第1の実施形態) 図1は、本発明の第1の実施形態に係る可変長復号化回路のブロック図である。この可変長復号化回路は最長符号長Nが16ビットの可変長符号を復号化するものであるとして説明する。図1の可変長復号化回路は、インターフェース部110と、復号化部120とを備えている。インターフェース部110は、バーレルシフタ111と、入力レジスタ112と、加算器114と、累算レジスタ115とを備えている。復号化部120は、バーレルシフタ121と、バーレルシフタレジスタ122と、ルックアップテーブル(以下では、LUTと称する)124とを備えている。

【0043】図2は、入力ビットストリームの例を示す説明図である。ここで、a1等は1ビットデータを表し、例えば“a1-a8”は、a1, a2, a3, a4, a5, a6, a7, a8の8ビットのデータがこの順で連なっていることを表している。また、8ビットデータ“a1-a8”, 6ビットデータ“b1-b6”, 5ビットデータ“c1-c5”及び15ビットデータ“d1-d15”は、それぞれデータ“A”, “B”, “C”及び“D”に対応した、可変長の符号語であるとする。同様に、12ビットデータ“e1-e12”, 10ビットデータ“f1-f10”, 9ビットデータ“g1-g9”及び16ビットデータ“h1-h16”は、それぞれデータ“E”, “F”, “G”及び“H”に対応した、可変長の符号語であるとする。

【0044】以下では、図2のように、データ“A”～“H”に対応した、最長符号長が16ビットの可変長符号の符号語が連続しているビットストリームが入力されるものとして説明する。また、例えば“a1-a8 b1-b6 c1-c2”という表示は、a1-a8, b1-b6, c1-c2が順に連なる16ビットのデータを表す。

【0045】図1において、バッファ101には、ビットストリームと、加算器114が出力する桁上げ信号CRとが入力されている。入力レジスタ112は、最長符号長に対応した16ビット構成であり、桁上げ信号CRが“1”的場合に、バッファ101が出力している16ビットの入力データをその次のサイクルで取り込む。

【0046】バッファ101は、入力されたビットストリームを格納し、桁上げ信号CRが“1”的場合には、その次のサイクルにおいて、格納しているビットストリームを16ビット単位でバーレルシフタ111及び入力レジスタ112に出力する。バッファ101は、その出力を1サイクルの間保持する。

【0047】バーレルシフタ111には、累算レジスタ115が出力する剩余RM(値：0～15)(剩余RMが取り得る値を示す、以下同様)がシフト入力の値として入力されている。バーレルシフタ111は、このシフト入力の値に1を加えた値をシフト量SH1(値：1～16)として用い、入力レジスタ112の出力を上位16ビットとして、バッファ101の出力を下位16ビットとして連結した32ビットのデータのうち、(SH1+1)ビット目～(SH1+16)ビット目の16ビットのデータをバーレルシフタ121に出力する。ここで、連結して得られた32ビットのデータの最上位ビットを1ビット目としている。したがって、バーレルシフタ111は、ビットストリームの連続する長さ32ビット(2Nビット)のデータのうち、シフト入力の値Mに応じて(M+2)番目のビットから連続する長さ16ビット(Nビット)のデータを取り出して出力することになる。

【0048】バーレルシフタレジスタ122は、最長符号長に対応して16ビットのデータを格納することができるようになっており、格納しているデータをバーレルシフタ121及びLUT124に出力する。

【0049】LUT124は、バーレルシフタレジスタ122の出力に対して復号化を行い、得られた復号結果DCを出力するとともに、復号化された符号語の符号長CL（値：1～16）をバーレルシフタ121及び加算器114に出力する。LUT124には、符号語の先頭のビットが最上位のビットとして入力されるようになっている。LUT124は、可変長の各符号語に対応した、復号結果及び符号長を有するテーブルであり、入力された符号語とテーブル内の符号語とを上位のビットから順に照合し、一致するパターンがある場合に、その符号語に対応する復号結果DC及び符号長CLを出力する。LUT124は、例えばROM（read-onlymemory）や論理回路で構成することができる。

【0050】バーレルシフタ121には、LUT124が出力する符号長CL（値：1～16）がシフト入力の値として入力されている。バーレルシフタ121は、このシフト入力の値をシフト量SH2（値：1～16）として用い、バーレルシフタレジスタ122の出力を上位16ビットとして、バーレルシフタ111の出力を下位16ビットとして連結した32ビットのデータのうち、（SH2+1）ビット目～（SH2+16）ビット目までの16ビットのデータをシフト結果として出力する。ここで、連結して得られた32ビットのデータの最上位ビットを1ビット目としている。したがって、バーレルシフタ121は、ビットストリームの連続する長さ32ビット（2Nビット）のデータのうち、シフト入力の値Lに応じて（L+1）番目のビットから連続する長さ16ビット（Nビット）のデータを取り出して出力することになる。バーレルシフタ121は、このシフト結果をバーレルシフタレジスタ122に書き込む。

【0051】加算器114は、LUT124が出力する符号長CL（値：1～16）と累算レジスタ115が出力する剩余RM（値：0～15）とを加算し、加算結果SMを出力する。加算器114は、加算結果SMのうち、桁上げ信号CRをバッファ101及び入力レジスタ112に出力し、剩余RM（値：0～15）を累算レジスタ115に書き込む。

【0052】桁上げ信号CRは、加算結果SMが16～31の場合に1となる信号（加算結果SMを最長符号長16で割った商）である。剩余RMは、加算結果SMを最長符号長16で割った余り（加算結果SMの最長符号長16を法とする剩余）である。したがって、剩余RMは、復号化した符号語の符号長の累積値を、最長符号長で割って得られる剩余に等しい。

【0053】より具体的には、5ビットで表された符号長CLと、累算レジスタ115の出力である4ビットで

表された剩余RMとの加算によって得られた5ビットの加算結果SMのうち、最上位ビットが桁上げ信号CRとなり、残り4ビットが加算結果SMの16を法とする新たな剩余RMとなる。

【0054】図3は、図1の可変長復号化回路におけるサイクル毎のデータフローの例を示す説明図である。入力ビットストリームは、図2のように連なったものであるとする。

【0055】図3において、初期状態としてのデータを各レジスタに設定するために、次のように初期条件が設定されている。すなわち、第0～第1サイクルの桁上げ信号CR、第0～第1サイクルのバーレルシフタ111のシフト量SH1、及び第0サイクルのバーレルシフタ121のシフト量SH2としては、それぞれ、“1”，“16”及び“16”を用いる。また、第0サイクルでバッファ101は出力を行い、第0～1サイクルにおける累算レジスタ115の出力は“15”であるとする。以下、図3等において、データ“x”はどのようなデータであってもよいことを示す。以下、図3に基づいて図1の可変長復号化回路の動作を説明する。

【0056】<第0サイクル>初期条件により、バッファ101の出力はa1-a8b1-b6c1-c2となる。初期条件のバーレルシフタ111のシフト量SH1の値“16”、バーレルシフタ121のシフト量SH2の値“16”に従って、バーレルシフタ111の出力はa1-a8b1-b6c1-c2となり、バーレルシフタ121の出力もa1-a8b1-b6c1-c2となる。桁上げ信号CRの値は、初期条件から“1”とされる。

【0057】<第1サイクル>第0サイクルにおける桁上げ信号CRの値“1”に従って、入力レジスタ112はバッファ101の出力a1-a8b1-b6c1-c2を取り込み、バッファ101の出力はc3-c5d1-d13となる。

【0058】バーレルシフタレジスタ122は、バーレルシフタ121が出力するa1-a8b1-b6c1-c2を取り込む。初期条件であるバーレルシフタ111のシフト量SH1の値“16”に従って、バーレルシフタ111はc3-c5d1-d13を出力する。バーレルシフタレジスタ122の出力a1-a8b1-b6c1-c2に従って、LUT124の復号結果は“A”となり、LUT124が出力する符号長CLは“8”となる。符号長CLの値“8”に従って、バーレルシフタ121はb1-b6c1-c5d1-d5を出力する。

【0059】初期条件により、加算器114は符号長CLの値“8”と累算レジスタ115の出力“15”との加算結果SMの値“23”を出力する。桁上げ信号CRの値は“1”、剩余RMは“7”となる。

【0060】<第2サイクル>第1サイクルにおける桁上げ信号CRの値“1”に従って、入力レジスタ112はバッファ101の出力c3-c5d1-d13を取り

込み、バッファ101の出力は $d_{14}-d_{15}e_1-e_{12}f_1-f_2$ となる。

【0061】バレルシフタレジスタ122は、バレルシフタ121が出力する $b_1-b_6c_1-c_5d_1-d_5$ を取り込み、累算レジスタ115は、剩余RMの値“7”を取り込む。バレルシフタ111のシフト量SH1の値“8”に従って、バレルシフタ111は $d_6-d_{15}e_1-e_6$ を出力する。バレルシフタレジスタ122の出力 $b_1-b_6c_1-c_5d_1-d_5$ に従って、LUT124の復号結果は“B”となり、LUT124が $c_1-c_5d_1-d_{11}$ を出力する。

【0062】加算器114は、符号長CLの値“6”と累算レジスタ115の出力“7”との加算結果SMの値“13”を出力し、桁上げ信号CRは“0”、剩余RMは“13”となる。

【0063】<第3サイクル>第3サイクルでは、第2サイクルで得られた桁上げ信号CRの値“0”に従って、入力レジスタ112、及びバッファ101の出力は更新されない。

【0064】バレルシフタレジスタ122は、バレルシフタ121が出力する $c_1-c_5d_1-d_{11}$ を取り込み、累算レジスタ115は、剩余RMの値“13”を取り込む。バレルシフタ111のシフト量SH1の値“14”に従って、バレルシフタ111は $d_{12}-d_{15}e_1-e_{12}$ を出力する。バレルシフタレジスタ122の出力 $c_1-c_5d_1-d_{11}$ に従って、LUT124の復号結果は“C”となり、LUT124が $c_1-c_5d_1-d_{11}$ を出力する。

【0065】符号長CLの値“5”に従って、バレルシフタ121は $d_1-d_{15}e_1$ を出力する。加算器114は、符号長CLの値“5”と累算レジスタ115の出力“13”との加算結果SMの値“18”を出力し、桁上げ信号CRは“1”、剩余は“2”となる。

【0066】次の第4サイクルにおいて、第3サイクルで得られた桁上げ信号CRの値“1”に従って、入力レジスタ112は $d_{14}-d_{15}e_1-e_{12}f_1-f_2$ を取り込み、バッファ101の出力は $f_3-f_{10}g_1-g_8$ となる。

【0067】以降、図1の可変長復号化回路は、第2サイクル及び第3サイクルと同様に動作する。ただし、バッファ出力及び入力レジスタは、前のサイクルで得られた桁上げ信号CRが“1”となる場合は更新され、“0”となる場合は更新されない。

【0068】このようにして第1サイクル以降、可変長復号した結果を毎サイクル出力することができる。特に復号化開始時において、入力バッファ101が最初にデータを出力する第0サイクルから1サイクル後の第1サイクルで、最初の復号化出力が得られる。

【0069】以上のように、第1の実施形態によると、図1の従来の回路と比べて、16ビットの入力レジスタの数を2個から1個に削減でき、48ビット入力16ビット出力のバレルシフタの代わりに32ビット入力16ビット出力のバレルシフタを備えれば済む。また、復号化開始時に、入力バッファがデータを出力してから復号化出力が得られるまでに必要なサイクル数が、2サイクルであったのが1サイクルとなる。

【0070】また、図1の従来の回路では2個のバレルシフタレジスタ及びシフト量レジスタが必要であったが、第1の実施形態によると、これらのレジスタの代わりにバレルシフタレジスタ1個を備えればよく、レジスタ数を削減することができる。

【0071】(第1の実施形態の変形例) 図4は、第1の実施形態の変形例に係る可変長復号化回路のブロック図である。図4の可変長復号化回路は、図1の可変長復号化回路において、復号化部120の代わりに復号化部140を備えている。復号化部140は、復号化部120において、バレルシフタ121の代わりにバレルシフタ141を備えている。また、復号化部140は、符号長CLを入力とし、これを変換した値を符号長CLの代わりにバレルシフタ141に出力する符号長変換回路146を更に備えている。その他の構成要素については、図1を参照して説明したものと同じなので、その説明を省略する。

【0072】図5は、符号長変換回路146についての説明図である。符号長変換回路146は、LUT124が出力する5ビットで表される符号長CL(値:1~16)を入力とし、これから1を減じた値(値:0~15)を出力する回路である。符号長変換回路146は、具体的には、値“1”を減算する回路やROMなどで実現することができる。

【0073】バレルシフタ141は、符号長変換回路146が出力する4ビットで表される値(0~15)をシフト入力とし、このシフト入力の値に1を加算した値をシフト量とするビットシフトを行い、シフト結果を出力する。したがって、バレルシフタ141は、ビットストリームの連続する長さ32ビット(2Nビット)のデータのうち、シフト入力の値Lに応じて(L+2)番目のビットから連続する長さ16ビット(Nビット)のデータを取り出して出力することになる。

【0074】バレルシフタ111とバレルシフタ141とは、いずれも4ビットの値をシフト入力とし、16通りのビットシフトを行うことができるバレルシフタであり、同じものを用いることができる。したがって、図1の回路と比べると、回路の規則性が向上し、回路面積を縮小することができる。

【0075】(第2の実施形態) 図6は、本発明の第2の実施形態に係る可変長復号化回路のブロック図である。この可変長復号化回路は最長符号長が16ビットの

可変長符号を復号化するものであるとして説明する。図6の可変長復号化回路は、インターフェース部110と、復号化部220とを備えている。復号化部220は、バーレルシフタ221と、第1のバーレルシフタレジスタ222と、第2のバーレルシフタレジスタ223と、LUT224と、シフト量レジスタ225とを備えている。バッファ101及びインターフェース部110は、図1を参照して説明したものと同じであるので、その説明を省略する。

【0076】第1のバーレルシフタレジスタ222及び第2のバーレルシフタレジスタ223は、最長符号長に対応して16ビットのデータを格納することができるようになっている。第1のバーレルシフタレジスタ222は、バーレルシフタ111が出力する16ビットのデータを格納する。第1のバーレルシフタレジスタ222及び第2のバーレルシフタレジスタ223は、格納しているデータをバーレルシフタ221に出力する。

【0077】バーレルシフタ221には、シフト量レジスタ225の出力（値：1～16）がシフト入力の値として入力されている。バーレルシフタ221は、このシフト入力の値をシフト量SH3（値：1～16）として用い、第2のバーレルシフタレジスタ223の出力を上位16ビットとして、第1のバーレルシフタレジスタ222の出力を下位16ビットとして連結した32ビットのデータのうち、(SH3+1)ビット目～(SH3+16)ビット目までの16ビットのデータをシフト結果として出力する。ここで、連結して得られた32ビットのデータの最上位ビットを1ビット目としている。

【0078】したがって、バーレルシフタ221は、ビットストリームの連続する長さ32ビット(2Nビット)のデータのうち、シフト入力の値Lに応じて(L+1)番目のビットから連続する長さ16ビット(Nビット)のデータを取り出して出力することになる。バーレルシフタ221は、このシフト結果を第2のバーレルシフタレジスタ223に書き込むとともに、LUT224に出力する。

【0079】LUT224は、バーレルシフタ221の出力に対して復号化を行い、得られた復号結果DCを出力し、復号化された符号語の符号長CL（値：1～16）をシフト量レジスタ225に書き込むとともに、加算器114に出力する。LUT224は、可変長の各符号語に対応した、復号結果及び符号長を有するテーブルである。LUT224は、図1のLUT124と同様のものである。

【0080】図7は、図6の可変長復号化回路におけるサイクル毎のデータフローの例を示す説明図である。入力ビットストリームは、第1の実施形態で説明したものと同様であり、図2のように連なったものであるとする。

【0081】図7において、初期状態としてのデータを

各レジスタに設定するために、次のように初期条件が設定されている。すなわち、第0～第1サイクルの桁上げ信号CR、第0～第1サイクルのバーレルシフタ111のシフト量SH1、及び第1サイクルのバーレルシフタ221のシフト量SH3としては、それぞれ、“1”，“16”及び“16”を用いる。また、第0サイクルでバッファ101は出力を行い、第0～1サイクルにおける累算レジスタ115の出力は“15”であるとする。以下、図7に基づいて図6の可変長復号化回路の動作を説明する。

【0082】<第0サイクル>初期条件により、バッファ101の出力はa1-a8b1-b6c1-c2となる。初期条件のバーレルシフタ111のシフト量SH1の値“16”に従って、バーレルシフタ111の出力はa1-a8b1-b6c1-c2となる。桁上げ信号CRの値は、初期条件から“1”とされる。

【0083】<第1サイクル>第0サイクルにおける桁上げ信号CRの値“1”に従って、入力レジスタ112はバッファ101の出力a1-a8b1-b6c1-c2を取り込み、バッファ101の出力はc3-c5d1-d13となる。

【0084】第1のバーレルシフタレジスタ222は、バーレルシフタ111が出力するa1-a8b1-b6c1-c2を取り込む。初期条件であるバーレルシフタ111のシフト量SH1の値“16”に従って、バーレルシフタ111はc3-c5d1-d13を出力する。初期条件であるバーレルシフタ221のシフト量SH3の値“16”に従って、バーレルシフタ221はa1-a8b1-b6c1-c2を出力する。バーレルシフタ221の出力a1-a8b1-b6c1-c2に従って、LUT224の復号結果は“A”となり、LUT224が出力する符号長CLは“8”となる。

【0085】初期条件により、加算器114は符号長CLの値“8”と累算レジスタ115の出力“15”との加算結果SMの値“23”を出力する。桁上げ信号CRの値は“1”、剩余RMは“7”となる。

【0086】<第2サイクル>第1サイクルにおける桁上げ信号CRの値“1”に従って、入力レジスタ112はバッファ101の出力c3-c5d1-d13を取り込み、バッファ101の出力はd14-d15e1-e12f1-f2となる。

【0087】第1のバーレルシフタレジスタ222は、バーレルシフタ111が出力するc3-c5d1-d13を取り込み、第2のバーレルシフタレジスタ223は、バーレルシフタ221が出力するa1-a8b1-b6c1-c2を取り込む。シフト量レジスタ225は符号長CLの値“8”を取り込み、累算レジスタ115は剩余RMの値“7”を取り込む。

【0088】バーレルシフタ111のシフト量SH1の値“8”に従って、バーレルシフタ111はd6-d15e

$1-e_6$ を出力する。シフト量レジスタ225が出力するシフト量SH3の値“8”に従って、バーレルシフタ221は $b_1-b_6\ c_1-c_5\ d_1-d_5$ を出力する。バーレルシフタ221の出力 $b_1-b_6\ c_1-c_5\ d_1-d_5$ に従って、LUT224の復号結果は“B”となり、LUT224が出力する符号長CLは“6”となる。

【0089】加算器114は、符号長CLの値“6”と累算レジスタ115の出力“7”との加算結果SMの値“13”を出力し、桁上げ信号CRは“0”、剩余RMは“13”となる。

【0090】<第3サイクル>第3サイクルでは、第2サイクルで得られた桁上げ信号CRの値“0”に従って、入力レジスタ112、及びバッファ101の出力は更新されない。

【0091】第1のバーレルシフタレジスタ222は、バーレルシフタ111が出力する $d_6-d_1\ 5\ e_1-e_6$ を取り込み、第2のバーレルシフタレジスタ223は、バーレルシフタ221が出力する $b_1-b_6\ c_1-c_5\ d_1-d_5$ を取り込む。シフト量レジスタ225は符号長CLの値“6”を取り込み、累算レジスタ115は剩余RMの値“13”を取り込む。

【0092】バーレルシフタ111のシフト量SH1の値“14”に従って、バーレルシフタ111は $d_12-d_1\ 5\ e_1-e_1\ 2$ を出力する。シフト量レジスタ225が出力するシフト量SH3の値“6”に従って、バーレルシフタ221は $c_1-c_5\ 1-d_1\ 1$ を出力する。バーレルシフタ221の出力 $c_1-c_5\ d_1-d_1\ 1$ に従って、LUT224の復号結果は“C”となり、LUT224が出力する符号長CLは“5”となる。

【0093】加算器114は、符号長CLの値“5”と累算レジスタ115の出力“13”との加算結果SMの値“18”を出力し、桁上げ信号CRは“1”、剩余RMは“2”となる。

【0094】次の第4サイクルにおいて、第3サイクルで得られた桁上げ信号CRの値“1”に従って、入力レジスタ112は $d_14-d_1\ 5\ e_1-e_1\ 2\ f_1-f_2$ を取り込み、バッファ101の出力は $f_3-f_1\ 0\ g_1-g_8$ となる。

【0095】以降、図6の可変長復号化回路は、第2サイクル及び第3サイクルと同様に動作する。ただし、バッファ出力及び入力レジスタは、前のサイクルで得られた桁上げ信号CRが“1”となる場合は更新され、“0”となる場合は更新されない。

【0096】このようにして第1サイクル以降、可変長復号した結果を毎サイクル出力することができる。特に復号化開始時において、入力バッファ101が最初にデータを出力する第0サイクルから1サイクル後の第1サイクルで、最初の復号化出力が得られる。

【0097】(第2の実施形態の变形例) 図8は、第2実施形態の变形例に係る可変長復号化回路のブロック図

である。図8の可変長復号化回路は、図6の可変長復号化回路において、復号化部220の代わりに復号化部240を備えている。復号化部240は、復号化部220において、バーレルシフタ221の代わりにバーレルシフタ241を備えている。また、復号化部240は、符号長CLを入力とし、これを変換した値を符号長CLの代わりにシフト量レジスタ225に出力する符号長変換回路146を更に備えている。その他の構成要素については、図6を参照して説明したものと同じであり、符号長変換回路146は、図5を参照して説明したものと同じであるので、その説明を省略する。

【0098】バーレルシフタ241は、符号長変換回路146が符号長CLを変換して生成した4ビットで表される値(0~15)をシフト入力とし、このシフト入力の値に1を加算した値をシフト量とするビットシフトを行い、シフト結果を出力する。したがって、バーレルシフタ241は、ビットストリームの連続する長さ32ビット(2Nビット)のデータのうち、シフト入力の値Lに応じて(L+2)番目のビットから連続する長さ16ビット(Nビット)のデータを取り出して出力することになる。

【0099】バーレルシフタ111とバーレルシフタ241とは、いずれも4ビットの値をシフト入力とし、16通りのビットシフトを行うことができるバーレルシフタであり、同じものを用いることができる。したがって、図6の回路と比べると、回路の規則性が向上し、回路面積を縮小することができる。

【0100】なお、図8の回路では、符号長変換回路146に符号長CLを出力し、符号長変換回路146の出力をシフト量レジスタ225に与えるようにしているが、符号長変換回路146をシフト量レジスタ225とバーレルシフタ241との間に備えるようにしてもよい。

【0101】(第3の実施形態) 図9は、本発明の第3の実施形態に係る可変長復号化回路のブロック図である。図9の可変長復号化回路は、インターフェース部310と、復号化部320とを備えている。インターフェース部310は、バーレルシフタ311と、入力レジスタ312と、加算器314と、累算レジスタ315とを備えている。復号化部320は、バーレルシフタ321と、バーレルシフタレジスタ322と、LUT324とを備えている。

【0102】図9の可変長復号化回路は、図1の可変長復号化回路において、加算器114、バーレルシフタ121及びLUT124の代わりに、加算器314、バーレルシフタ321及びLUT324を備えたものである。図9の可変長復号化回路は、復号化した符号語の実際の符号長(1~16)を、これから1を減じた値(0~15)で表現する点に特徴がある。

【0103】図9において、バッファ101には、ビットストリームと、加算器314が出力する桁上げ信号C

Rとが入力されている。入力レジスタ312は、最長符号長に対応した16ビット構成であり、桁上げ信号CRが“1”的場合に、バッファ101が出力している16ビットの入力データをその次のサイクルで取り込む。

【0104】バッファ101は、入力されたビットストリームを格納し、桁上げ信号CRが“1”的場合に、その次のサイクルにおいて、格納しているビットストリームを16ビット単位でパレルシフタ311及び入力レジスタ312に出力する。バッファ101は、その出力を1サイクルの間保持する。

【0105】パレルシフタ311には、累算レジスタ315が出力する剩余RM（値：0～15）がシフト入力の値として入力されている。パレルシフタ311は、このシフト入力の値に1を加えた値をシフト量SH4（値：1～16）として用い、入力レジスタ312の出力を上位16ビットとして、バッファ101の出力を下位16ビットとして連結した32ビットのデータのうち、 $(SH4+1)$ ビット目～ $(SH4+16)$ ビット目の16ビットのデータをパレルシフタ321に出力する。ここで、連結して得られた32ビットのデータの最上位ビットを1ビット目としている。

【0106】パレルシフタレジスタ322は、最長符号長に対応して16ビットのデータを格納することができるようになっており、格納しているデータをパレルシフタ321及びLUT324に出力する。

【0107】LUT324は、パレルシフタレジスタ322の出力に対して復号化を行い、得られた復号結果DCを出力するとともに、復号化された符号語の実際の符号長から1を減じた数を符号長CL（値：0～15）としてパレルシフタ321及び加算器314に出力する。LUT324は例えば、可変長の各符号語に対応した、復号結果及び符号長から1を減じた数を有するテーブルである。LUT324は、図1のLUT124とは、実際の符号長から1を減じた数を出力する点が異なり、その他の点は同様である。

【0108】パレルシフタ321には、LUT324が出力する符号長CL（値：0～15）がシフト入力として入力されている。パレルシフタ321は、このシフト入力の値に1を加えた値をシフト量SH5（値：1～16）として用い、パレルシフタレジスタ322の出力を上位16ビットとして、パレルシフタ311の出力を下位16ビットとして連結した32ビットのデータのうち、 $(SH5+1)$ ビット目～ $(SH5+16)$ ビット目までの16ビットのデータをシフト結果として出力する。ここで、連結して得られた32ビットのデータの最上位ビットを1ビット目としている。パレルシフタ321は、このシフト結果をパレルシフタレジスタ322に書き込む。

【0109】加算器314は、LUT324が出力する符号長CL（値：0～15）と、累算レジスタ315が

出力する剩余RM（値：0～15）と、定数“1”とを加算し、加算結果SMを出力する。加算器314は、加算結果SMのうち、桁上げ信号CRをバッファ101及び入力レジスタ312に出力し、剩余RM（値：0～15）を累算レジスタ315に書き込む。

【0110】すなわち、4ビットで表された符号長CLと、累算レジスタ315の出力である4ビットで表された剩余RMと、定数“1”との加算によって得られた5ビットの加算結果SMのうち、最上位ビットが桁上げ信号CRとなり、残り4ビットが加算結果SMの16を法とする新たな剩余RMとなる。

【0111】以上のように、図9の可変長復号化回路においては、LUT324は、復号化した符号語の符号長から1を減じた値を符号長として出力する。すなわち、符号長“1”～“16”的符号語に対応して、符号長CLの値をそれぞれ“0”～“15”として出力する。パレルシフタ321は、シフト量として値（0～15）が入力された場合に、この値に1を加えた数（1～16）のビット数のシフトを実行する。また、加算器314は、LUT324が出力する符号長（0～15）と累算レジスタ315の出力（0～15）と定数“1”とを加算する。これらの点を除くと、図9の可変長復号化回路の動作は、第1の実施形態において図3を参照して説明したものと同様であるので、その説明を省略する。

【0112】以上のように構成された図9の可変長復号化回路によると、パレルシフタ311とパレルシフタ321とは、いずれも4ビットの値（0～15）をシフト入力とし、16通りのビットシフトを行うことができるパレルシフタであり、同じものを用いることができる。したがって、回路の規則性向上による回路面積の削減を図ることができる。また、図4の回路のように、符号長変換回路146を備える必要がない。

【0113】（第4の実施形態）図10は、本発明の第4の実施形態に係る可変長復号化回路のブロック図である。図10の可変長復号化回路は、インターフェース部310と、復号化部420とを備えている。復号化部420は、パレルシフタ421と、第1のパレルシフタレジスタ422と、第2のパレルシフタレジスタ423と、LUT424と、シフト量レジスタ425とを備えている。バッファ101及びインターフェース部310は、図9を参照して説明したものと同じであるので、その説明を省略する。

【0114】図10の可変長復号化回路は、図6の可変長復号化回路において、加算器114、パレルシフタ221及びLUT224の代わりに、加算器314、パレルシフタ421及びLUT424を備えたものである。図10の可変長復号化回路は、図9の回路と同様に、復号化した符号語の実際の符号長（1～16）を、これから1を減じた値（0～15）で表現する点に特徴がある。

【0115】第1のパレルシフタレジスタ422及び第2のパレルシフタレジスタ423は、最長符号長に対応して16ビットのデータを格納することができるようになっている。第1のパレルシフタレジスタ422は、パレルシフタ311が出力する16ビットのデータを格納する。第1のパレルシフタレジスタ422及び第2のパレルシフタレジスタ423は、格納しているデータをパレルシフタ421に出力する。

【0116】パレルシフタ421には、シフト量レジスタ425の出力（値：0～15）がシフト入力の値として入力されている。パレルシフタ421は、このシフト入力の値に1を加えた値をシフト量SH6（値：1～16）として用い、第2のパレルシフタレジスタ423の出力を上位16ビットとして、第1のパレルシフタレジスタ422の出力を下位16ビットとして連結した32ビットのデータのうち、(SH6+1)ビット目～(SH6+16)ビット目までの16ビットのデータをシフト結果として出力する。ここで、連結して得られた32ビットのデータの最上位ビットを1ビット目としている。パレルシフタ421は、このシフト結果を第2のパレルシフタレジスタ423に書き込むとともに、LUT424に出力する。

【0117】LUT424は、パレルシフタ421の出力に対して復号化を行い、得られた復号結果DCを出力し、復号化された符号語の実際の符号長から1を減じた数を符号長CL（値：0～15）としてシフト量レジスタ425に書き込むとともに、加算器314に出力する。LUT424は、図9のLUT324と同様のものである。

【0118】このように、図10の可変長復号化回路においては、LUT424は、復号化した符号語の符号長から1を減じた値を符号長として出力する。すなわち、符号長“1”～“16”的符号語に対応して、符号長CLの値をそれぞれ“0”～“15”として出力する。パレルシフタ421は、シフト量として値（0～15）が入力された場合に、それぞれの値に1を加えた数（1～16）のビット数のシフトを実行する。また、加算器314は、LUT424が出力する符号長（0～15）と累算レジスタ315の出力（0～15）と定数“1”とを加算する。これらの点を除くと、図10の可変長復号化回路の動作は、第2の実施形態において図7を参照して説明したものと同様であるので、その説明を省略する。

【0119】以上のように構成された図10の可変長復号化回路によると、パレルシフタ311とパレルシフタ421とは、いずれも4ビットの値（0～15）をシフト入力とし、16通りのビットシフトを行うことができるパレルシフタであり、同じものを用いることができる。したがって、回路の規則性向上による回路面積の削減を図ることができる。また、図8の回路のように、符

号長変換回路146を備える必要がない。

【0120】なお、以上の第1～第4の実施形態においては、説明の簡便化のために各レジスタ幅は最長符号長Nに等しいとした。しかし、入力レジスタ、並びに第2及び第4の実施形態における第2のパレルシフタレジスタが出力したデータは、パレルシフタにおいて必ず1ビット以上シフトされるので、パレルシフタはこれらのレジスタが出力するデータの最上位ビットを出力することがない。したがって、これらのレジスタは、最上位ビットが不要であり、レジスタ幅を（N-1）ビットとしてもよい。すると、さらに回路規模を小さくし、回路面積を減らすことができる。この場合、パレルシフタには、最上位ビット以外のビットにデータが入力されるようすればよい。

【0121】また、以上の実施形態では、最長符号長が16であるとして説明したが、最長符号長は他の値であってもよい。最長符号長が16のような2のべきでない場合は、最長符号長以上の2のべきの値を仮の最長符号長として用いることとすればよい。このとき、入力レジスタ及びパレルシフタレジスタのレジスタ幅は仮の最長符号長に対応させる必要がある。また、加算器が、最長符号長を法とした加算結果に対する剰余を出力する機能を有するようにしてもよい。このとき、累算レジスタのレジスタ幅はこの剰余を格納できるようなものにする必要がある。

【0122】

【発明の効果】以上説明したように、本発明によると、可変長復号化回路においてレジスタ数を削減し、パレルシフタの規模を小さくすることができる。したがって、可変長復号化回路の規模を小さくし、回路のレイアウト面積を小さくすることができる。また、復号化開始時に、ビットストリームが入力されてから最初に復号化出力を得るまでのサイクル数を削減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る可変長復号化回路のブロック図である。

【図2】入力ビットストリームの例を示す説明図である。

【図3】図1の可変長復号化回路におけるサイクル毎のデータフローの例を示す説明図である。

【図4】第1の実施形態の変形例に係る可変長復号化回路のブロック図である。

【図5】符号長変換回路についての説明図である。

【図6】本発明の第2の実施形態に係る可変長復号化回路のブロック図である。

【図7】図6の可変長復号化回路におけるサイクル毎のデータフローの例を示す説明図である。

【図8】第2実施形態の変形例に係る可変長復号化回路のブロック図である。

【図9】本発明の第3の実施形態に係る可変長復号化回

路のブロック図である。

【図10】本発明の第4の実施形態に係る可変長復号化回路のブロック図である。

【図11】従来の可変長復号化回路の例のブロック図である。

【図12】図11の可変長復号化回路におけるサイクル毎のデータフローの例を示す説明図である。

【符号の説明】

101 バッファ

110, 310 インタフェース部

120, 140, 220, 240, 320, 420 復号化部

111, 121, 141, 221, 241, 311, 3
21, 421 バレルシフタ

112, 312 入力レジスタ

114, 314 加算器

115, 315 累算レジスタ

122, 322 バレルシフタレジスタ

124, 224, 324, 424 ルックアップテーブル(LUT)

146 符号長変換回路

222, 422 第1のバレルシフタレジスタ

223, 423 第2のバレルシフタレジスタ

225, 425 シフト量レジスタ

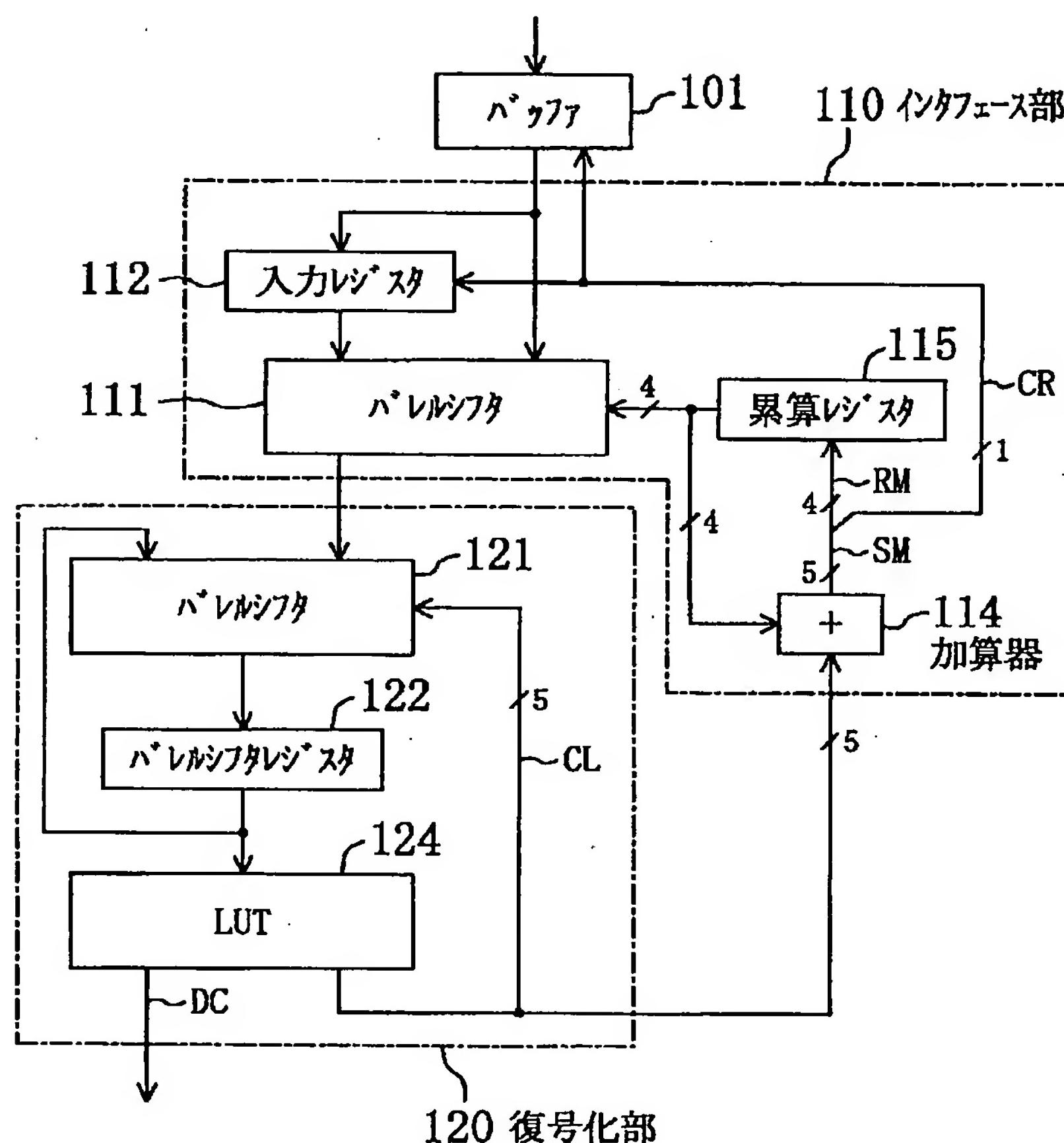
DC 復号結果

CL 符号長

SM 加算結果

CR 術上げ

【 1】



【 2】

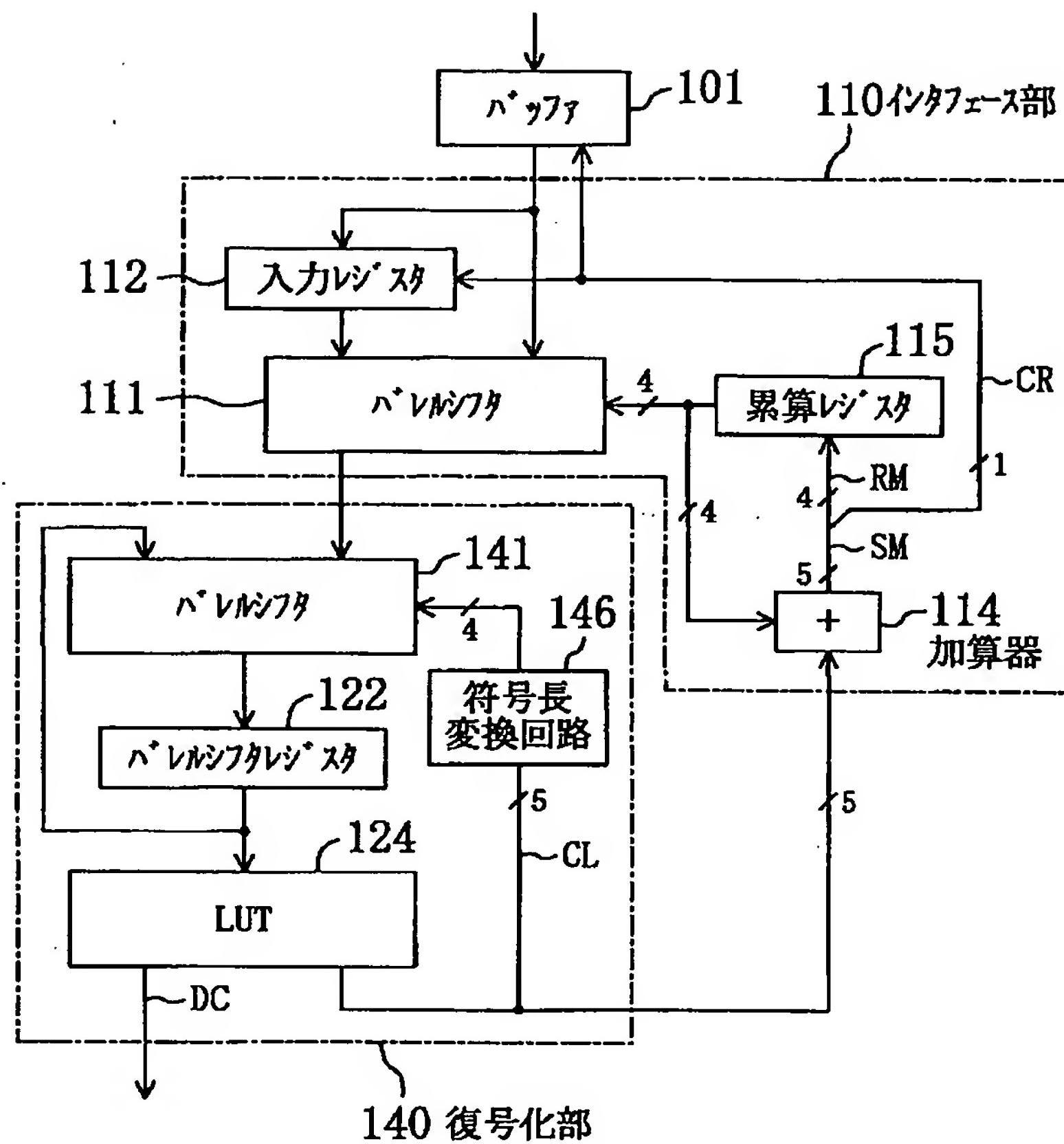
a1-a8 **b1-b6** **c1-c5** **d1-d15** **e1-e12** **f1-f10** **g1-g9** **h1-h16** ...

[図3]

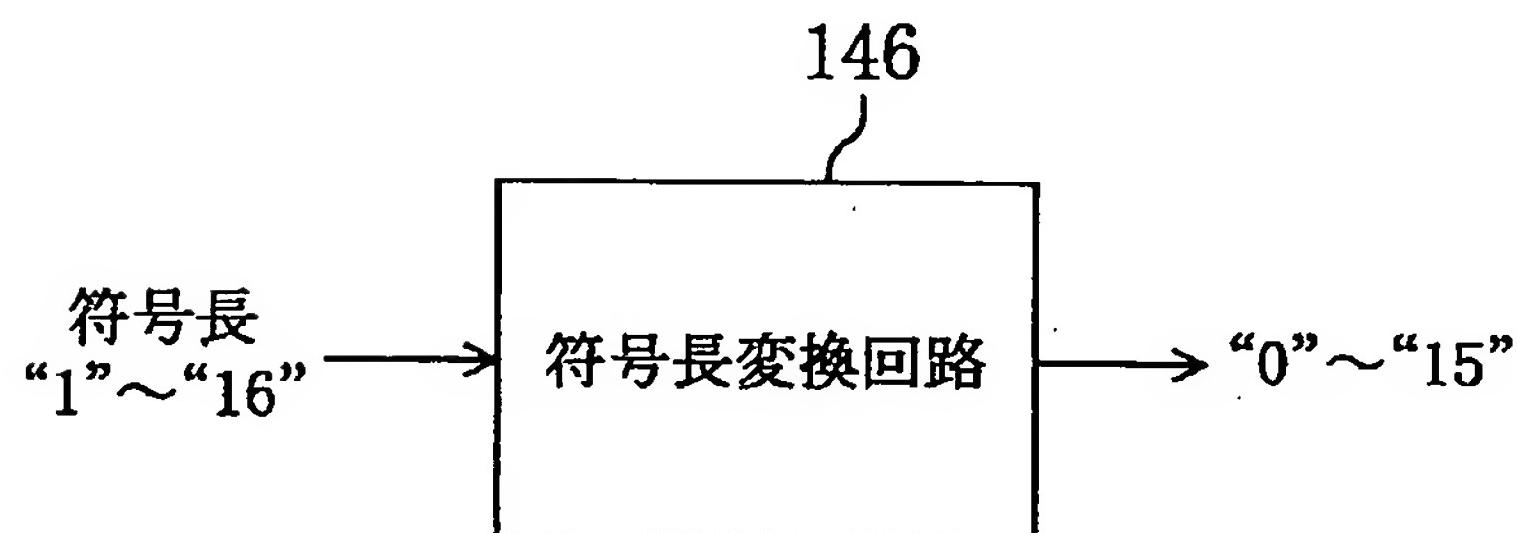
| #イクル | ハ'レジ'ア# 122 | 入力ジ'ア# 112 | ハ'レジ'ア# 101 出力 | ハ'レジ'ア# 121の シフト量 | ハ'レジ'ア# 111の シフト量 | 行上け 信号 CR |
|------|-----------------|--------------------|----------------------|-------------------------|-------------------------|-----------------|
| 0 | x | x | a1-a8b1-b6c1-c2 | a1-a8b1-b6c1-c2 | 16 | 16 |
| 1 | a1-a8b1-b6c1-c2 | a1-a8b1-b6c1-c2 | c3-c5d1-d13 | c3-c5d1-d13 | 8 | 16 |
| 2 | b1-b6c1-c5d1-d5 | c3-c5d1-d13 | d14-d15e1-e12f1-f2 | d14-d15e1-e12f1-f2 | 6 | 8 |
| 3 | c1-c5d1-d11 | c3-c5d1-d13 | d14-d15e1-e12f1-f2 | d14-d15e1-e12f1-f2 | 5 | 14 |
| 4 | d1-d15e1 | d14-d15e1-e12f1-f2 | f3-f10g1-g8 | f3-f10g1-g8 | 15 | 3 |
| 5 | e1-e12f1-f4 | f3-f10g1-g8 | g9h1-h15 | g9h1-h15 | 12 | 2 |
| 6 | f1-f10g1-g6 | f3-f10g1-g8 | g9h1-h15 | g9h1-h15 | 10 | 14 |
| 7 | g1-g9h1-h7 | g9h1-h15 | h16... | h16... | 9 | 8 |
| 8 | h1-h16 | h16... | ... | ... | 16 | 1 |

| #イクル | ハ'レジ'ア# 121 出力 | ハ'レジ'ア# 111 出力 | 復号結果 DC | 符号長 CL |
|------|----------------------|----------------------|------------|-----------|
| 0 | a1-a8b1-b6c1-c2 | a1-a8b1-b6c1-c2 | x | x |
| 1 | b1-b6c1-c5d1-d5 | c3-c5d1-d13 | A | 8 |
| 2 | c1-c5d1-d11 | d6-d15e1-e6 | B | 6 |
| 3 | d1-d15e1 | d12-d15e1-e12 | C | 5 |
| 4 | e1-e12f1-f4 | e2-e12f1-f5 | D | 15 |
| 5 | f1-f10g1-g6 | f5-f10g1-g9h1 | E | 12 |
| 6 | g1-g9h1-h7 | g7-g9h1-h13 | F | 10 |
| 7 | h1-h16 | h8-h16... | G | 9 |
| 8 | ... | ... | H | 16 |

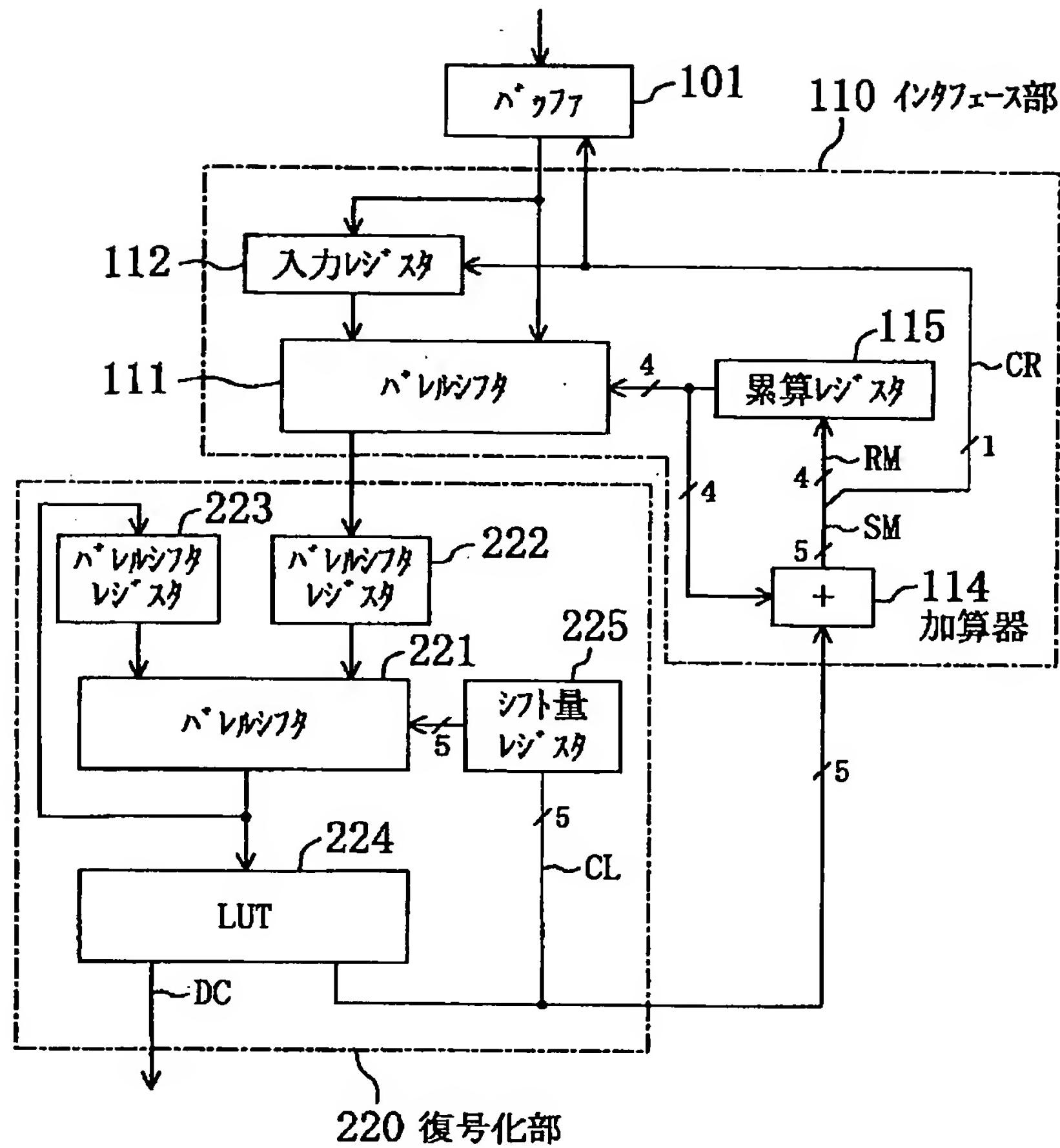
【図4】



【図5】



【図6】

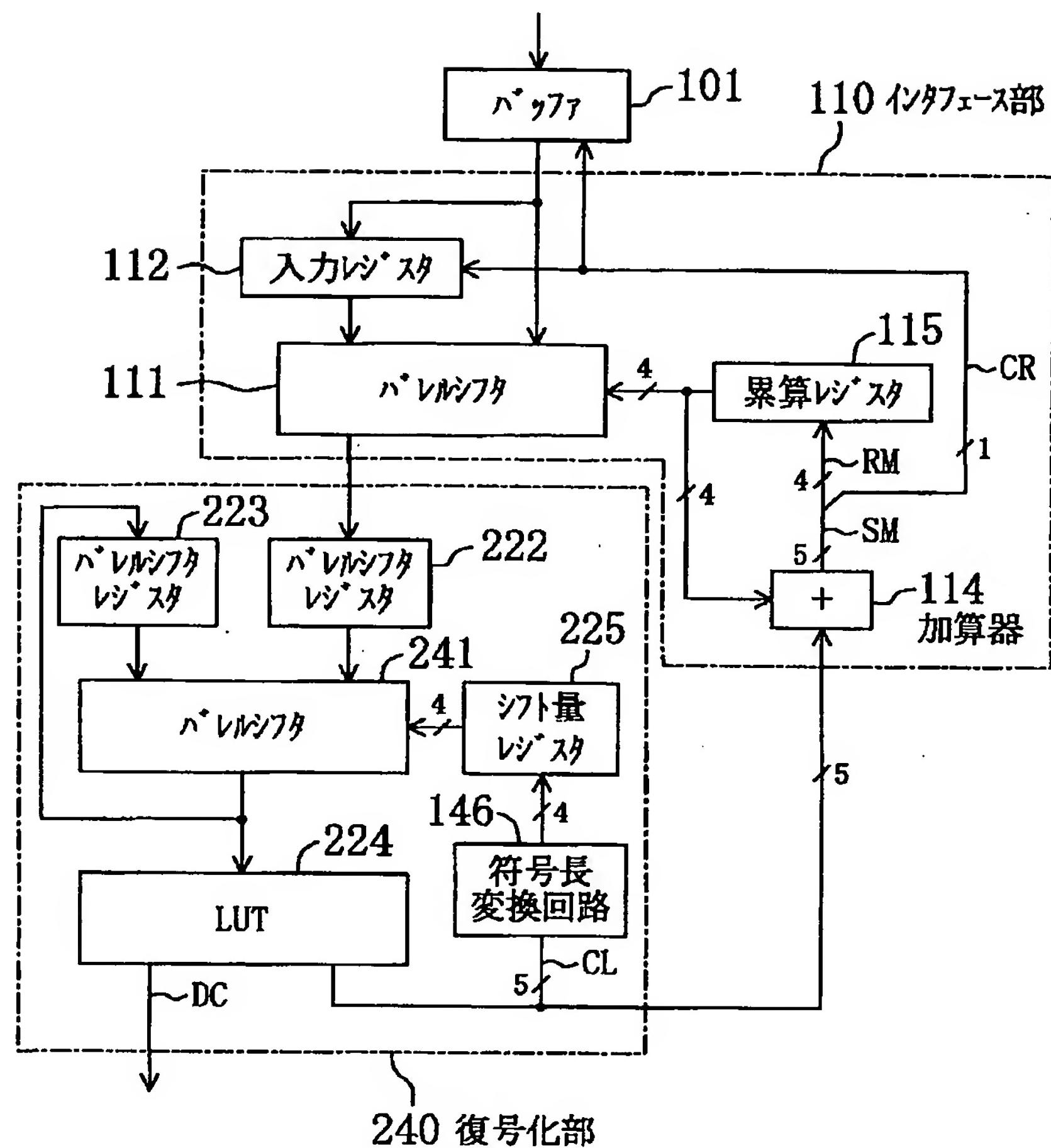


【図7】

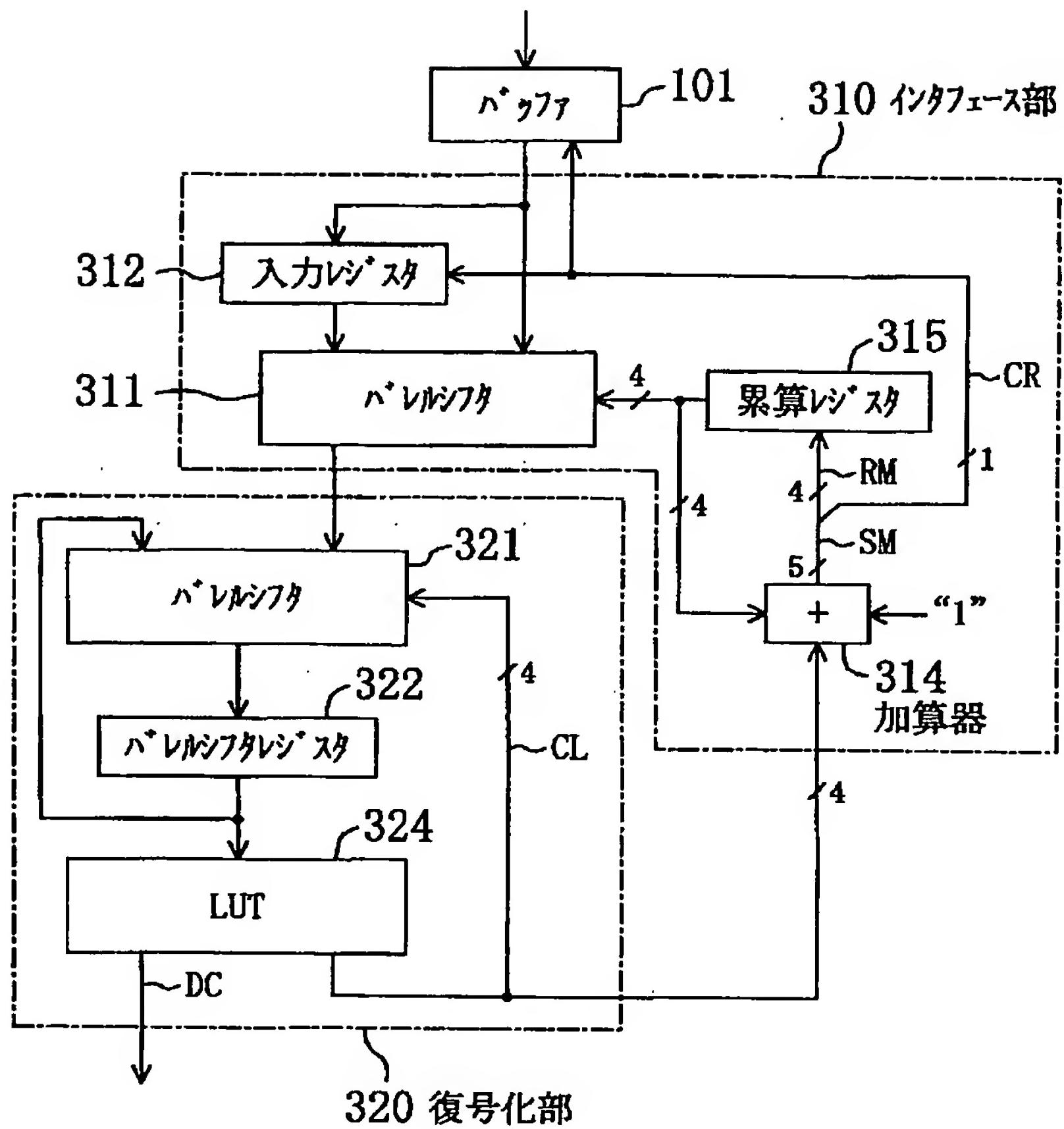
| サイクル | ハーモニック | パルシフタシス | 入力シグナル | パルシフタ 101 | パルシフタ 221のシフト量 | パルシフタ 111のシフト量 | 桁上げ信号 CR |
|------|-----------------|---------------|-----------------|--------------------|--------------------|----------------|----------|
| 0 | x | 223 | 222 | x | a1-a8b1-b6c1-c2 | x | 16 |
| 1 | x | | | x | c3-c5d1-d13 | 16 | 16 |
| 2 | a1-a8b1-b6c1-c2 | c3-c5d1-d13 | a1-a8b1-b6c1-c2 | c3-c5d1-d13 | d14-d15e1-e12f1-f2 | 8 | 8 |
| 3 | b1-b6c1-c5d1-d5 | d6-d15e1-e6 | | c3-c5d1-d13 | d14-d15e1-e12f1-f2 | 6 | 14 |
| 4 | c1-c5d1-d11 | d12-d15e1-e12 | | d14-d15e1-e12f1-f2 | f3-f10g1-g8 | 5 | 3 |
| 5 | d1-d15e1 | e2-e12f1-f5 | | f3-f10g1-g8 | g9h1-h15 | 15 | 2 |
| 6 | e1-e12f1-f4 | f5-f10g1-g8 | | f3-f10g1-g8 | g9h1-h15 | 12 | 14 |
| 7 | f1-f10g1-g6 | g7-g9h1-h13 | | g9h1-h15 | h16... | 10 | 8 |
| 8 | g1-g9h1-h7 | h8-h16... | | h16... | ... | 9 | 1 |
| | | | | | | | 1 |

| サイクル | ハーモニック | パルシフタ 221 | パルシフタ 111 | 復号結果 DC | 符号長 CL |
|------|-----------------|-----------------|-----------|---------|--------|
| 0 | x | a1-a8b1-b6c1-c2 | x | x | |
| 1 | a1-a8b1-b6c1-c2 | c3-c5d1-d13 | A | 8 | |
| 2 | b1-b6c1-c5d1-d5 | d6-d15e1-e6 | B | 6 | |
| 3 | c1-c5d1-d11 | d12-d15e1-e12 | C | 5 | |
| 4 | d1-d15e1 | e2-e12f1-f5 | D | 15 | |
| 5 | e1-e12f1-f4 | f5-f10g1-g9h1 | E | 12 | |
| 6 | f1-f10g1-g6 | g7-g9h1-h13 | F | 10 | |
| 7 | g1-g9h1-h7 | h8-h16... | G | 9 | |
| 8 | h1-h16 | ... | H | 16 | |

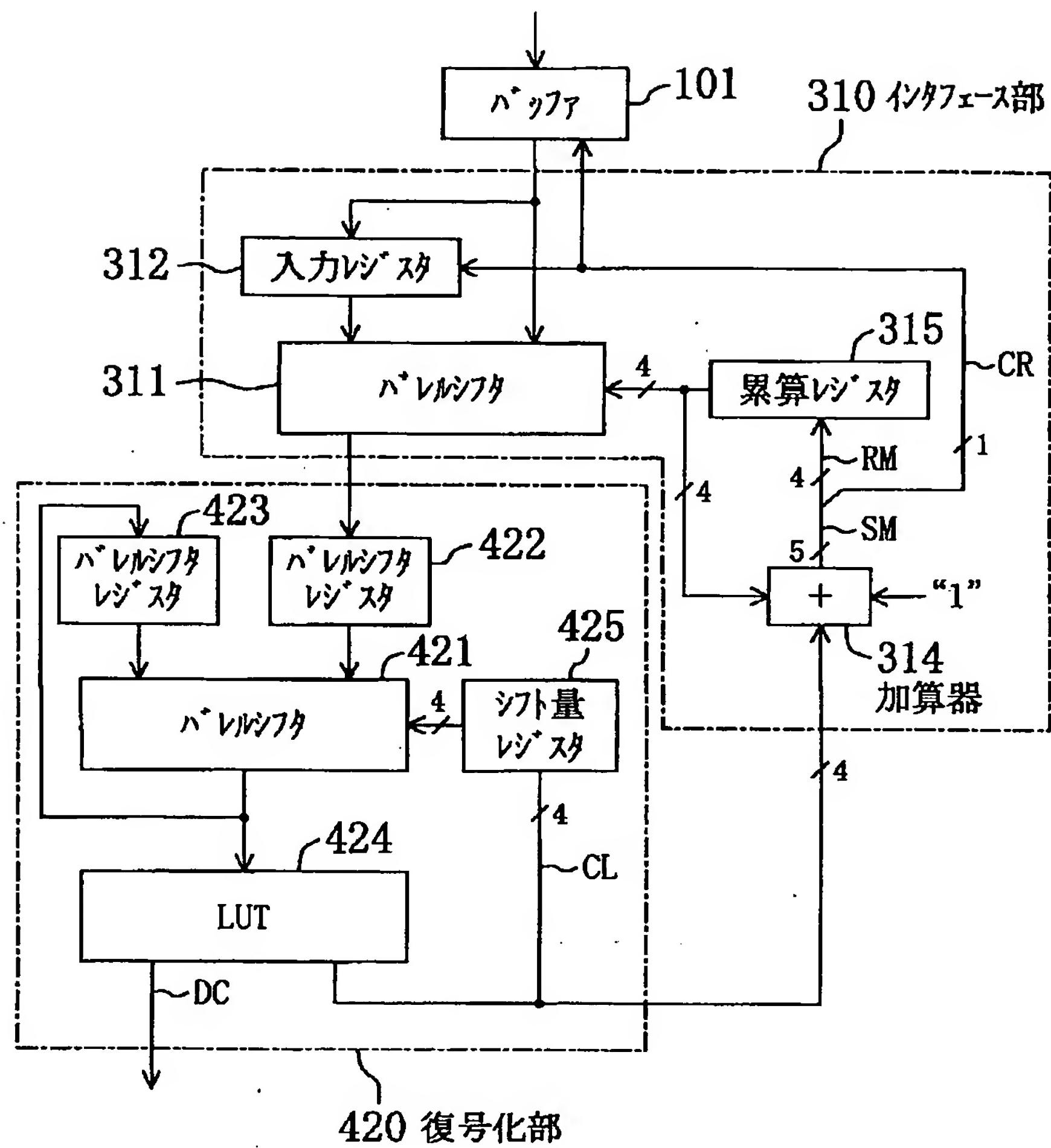
【図8】



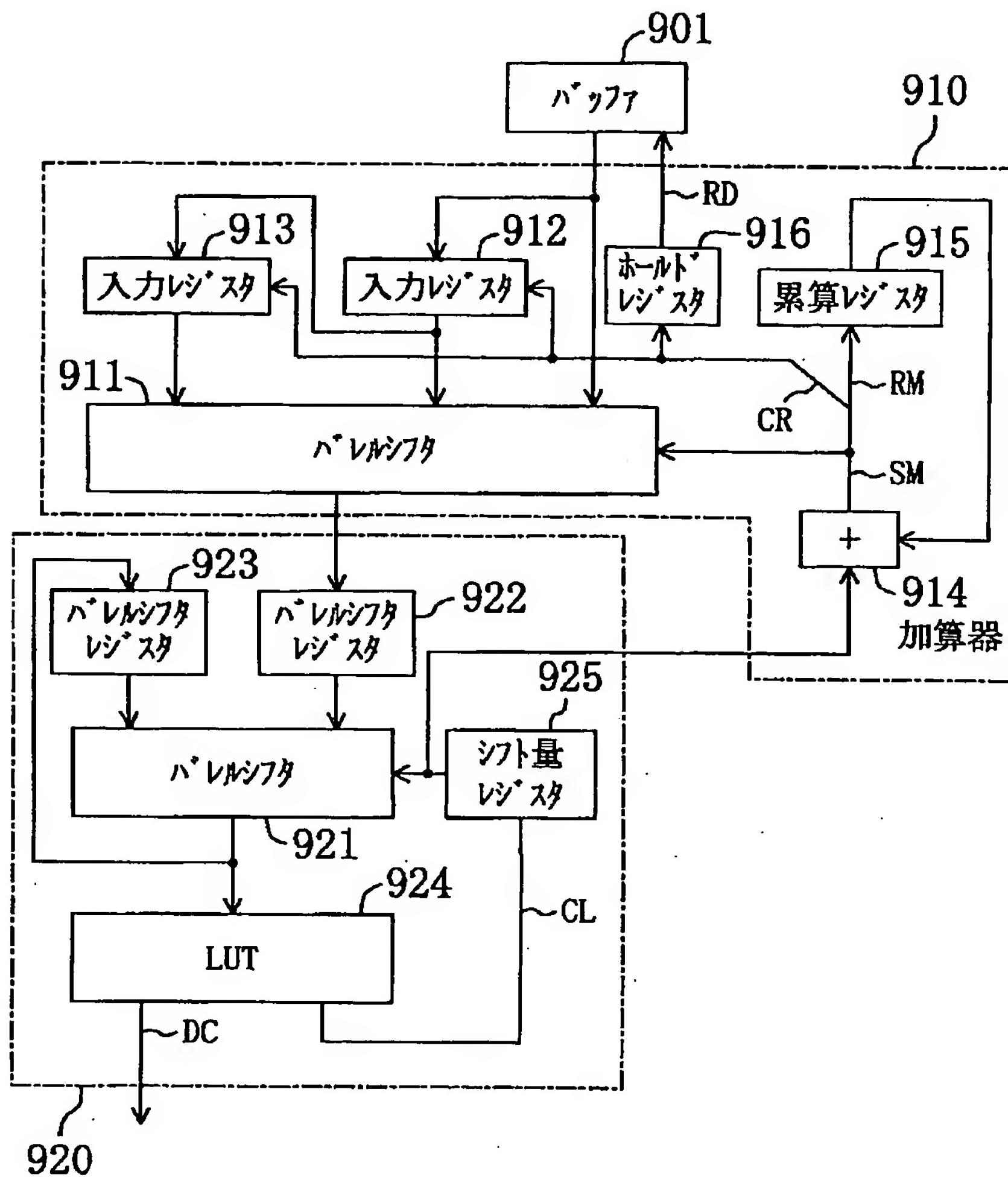
【図9】



【図10】



【図11】



【図12】

| #イカル | 入力レジス# 913 | 入力レジス# 912 | バッファ 901 出力 | 読み出し 信号 RD | バッファ 921 シフト量 | バッファ 911 シフト量 | 桁上げ 信号 CR |
|------|--------------------|--------------------|--------------------|---------------|------------------|------------------|-----------------|
| 0 | x | x | a1-a8b1-b6c1-c2 | 1 | 16 | 16 | 1 |
| 1 | x | a1-a8b1-b6c1-c2 | c3-c5d1-d13 | 1 | 16 | 16 | 1 |
| 2 | a1-a8b1-b6c1-c2 | c3-c5d1-d13 | d14-d15e1-e12f1-f2 | 1 | 16 | 16 | 1 |
| 3 | c3-c5d1-d13 | d14-d15e1-e12f1-f2 | f3-f10g1-g8 | 1 | 8 | 8 | 0 |
| 4 | c3-c5d1-d13 | d14-d15e1-e12f1-f2 | f3-f10g1-g8 | 0 | 6 | 14 | 0 |
| 5 | c3-c5d1-d13 | d14-d15e1-e12f1-f2 | f3-f10g1-g8 | 0 | 5 | 19 | 1 |
| 6 | d14-d15e1-e12f1-f2 | f3-f10g1-g8 | g9h1-h15 | 1 | 15 | 18 | 1 |
| 7 | f3-f10g1-g8 | g9h1-h15 | h16... | 1 | 12 | 14 | 0 |
| 8 | f3-f10g1-g8 | g9h1-h15 | h16... | 0 | 10 | 24 | 1 |
| 9 | ... | ... | ... | 1 | 9 | 17 | 1 |

| #イカル | バッファレジス# 923 | バッファレジス# 922 | バッファ 921 出力 | バッファ 911 出力 | 復号結果 DC | 符号長 CL |
|------|-----------------|-----------------|-----------------|-----------------|------------|-----------|
| 0 | x | x | x | x | x | x |
| 1 | x | x | x | al-a8b1-b6c1-c2 | x | x |
| 2 | x | a1-a8b1-b6c1-c2 | a1-a8b1-b6c1-c2 | c3-c5d1-d13 | A | 8 |
| 3 | a1-a8b1-b6c1-c2 | c3-c5d1-d13 | b1-b6c1-c5d1-d5 | d6-d15e1-e6 | B | 6 |
| 4 | b1-b6c1-c5d1-d5 | d6-d15e1-e6 | c1-c5d1-d11 | d12-d15e1-e12 | C | 5 |
| 5 | c1-c5d1-d11 | d12-d15e1-e12 | d1-d15e1 | e2-e12f1-f5 | D | 15 |
| 6 | d1-d15e1 | e2-e12f1-f5 | e1-e12f1-f4 | f5-f10g1-g9h1 | E | 12 |
| 7 | e1-e12f1-f4 | f5-f10g1-g8 | f1-f10g1-g6 | g7-g9h1-h13 | F | 10 |
| 8 | f1-f10g1-g6 | g7-g9h1-h13 | g1-g9h1-h7 | h8-h16... | G | 9 |
| 9 | g1-g9h1-h7 | h8-h16... | h1-h16 | ... | H | 16 |